

First Hit

End of Result Set



Generate Collection

Print

L2: Entry 1 of 1

File: JPAB

Aug 14, 1992

PUB-NO: JP404225534A

DOCUMENT-IDENTIFIER: JP 04225534 A

TITLE: SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

PUBN-DATE: August 14, 1992

INVENTOR-INFORMATION:

NAME

COUNTRY

ONODERA, TSUKASA

ASSIGNEE-INFORMATION:

NAME

COUNTRY

FUJITSU LTD

APPL-NO: JP02408313

APPL-DATE: December 27, 1990

US-CL-CURRENT: 438/FOR.181; 438/FOR.423

INT-CL (IPC): H01L 21/338; H01L 29/812; H01L 27/10

ABSTRACT:

PURPOSE: To improve radiation resistance without lowering an integration degree by providing a prescribed conductivity type active region to become a channel on a selectively provided conductive region in a semiconductive layer.

CONSTITUTION: Impurity are implanted into a gallium-arsenic substrate 1 by such as ion implantation for forming an N-type active region 2 to become a channel, and ← a gate electrode 7, a source electrode 8 and a drain electrode 9 consisting of a metal are formed on the upper part thereof in order to form a MESFET 3 which is a basic element. Further, a source region 2a, a drain region 2b and a channel layer 2c of an N+ high-concentration layer are formed in the N-type active region 2 at its end part. Then, the source region 2a and the drain region 2b are formed of a P+ type semiconductor of an opposite conductive type so as to form a high-concentration impurity-doped region 4 to become a conductive region apart by, for instance, 0.25μm from the surface of the gallium-arsenic substrate 1.

COPYRIGHT: (C)1992,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-225534

(43) 公開日 平成4年(1992) 8月14日

(51) Int. Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 21/338				
29/812				
27/10	4 0 1	8624-4M		
		7739-4M	H 0 1 L 29/80	B

審査請求 未請求 請求項の数11(全 9 頁)

(21) 出願番号 特願平2-408313

(22) 出願日 平成2年(1990)12月27日

(71) 出願人 000005223

富士通株式会社

神奈川県川崎市中原区上小田中1015番地

(72) 発明者 小野寺 司

神奈川県川崎市中原区上小田中1015番地

富士通株式会社内

(74) 代理人 弁理士 伊東 忠彦 (外2名)

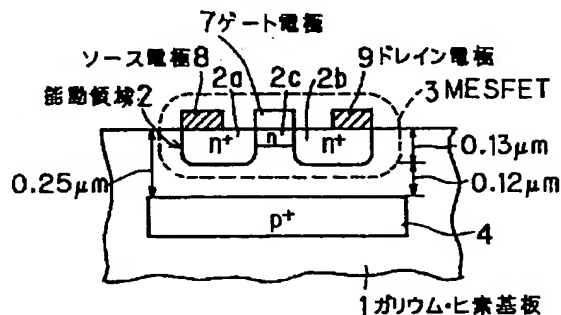
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【目的】 集積度を低下させることなく放射線耐量を向上させる。

【構成】 化合物半導体結晶よりなる基板上に所定の導電性の能動層を有する基本素子の下部に能動層とは反対の導電型のドーパ領域を設ける。放射線等により化合物半導体結晶よりなる基板内部で発生した電荷はドーパ領域により吸引され、基本素子の能動層に流入しにくくなる。

本発明の第1実施例の断面図



## 【特許請求の範囲】

【請求項1】 半絶縁性の化合物半導体層（1，13）中に選択的に設けられた導電領域（4）と、前記半導体層（1，13）中の前記選択的に設けられた導電領域（4）上に位置し、チャンネルとなる所定の導電型の能動領域（2）を備える基本素子（3）とを有することを特徴とする半導体装置。

【請求項2】 前記導電領域（4）は、前記能動領域（2）とは反対の導電型の不純物導入領域であることを特徴とする請求項1記載の半導体装置。

【請求項3】 前記化合物半導体層（1）中の前記導電領域（4）に接続され、前記化合物半導体層（1）の表面に前記導電領域（4）を引き出す引出し領域（4a）を有することを特徴とする請求項1記載の半導体装置。

【請求項4】 前記引出し領域（4a）には、前記導電領域（4）に所定の電位を与える電源（10）が接続されてなることを特徴とする請求項3記載の半導体装置。

【請求項5】 前記化合物半導体層（1，13）は、前記能動領域（2）とは反対の導電型であって、表面に段差（12a）が設けられた化合物半導体基板（12）に支持され、前記基板の段差（12a）の上段部が前記導電領域（4）として作用することを特徴とする請求項1記載の半導体装置。

【請求項6】 前記段差（12a）の上段部には更に突出部（12b）が設けられ、前記突出部（12b）の表面は、前記化合物半導体層（13）の表面に露出して引出し領域（4a）を構成することを特徴とする請求項5記載の半導体装置。

【請求項7】 前記化合物半導体層（1）の前記導電領域（4）となる部位の下部凹部（16）を備え、前記凹部（16）表面には前記導電領域（4）として作用する電極層（17）が設けられてなることを特徴とする請求項1記載の半導体装置。

【請求項8】 前記凹部（16）表面に位置する前記電極層（17）下の前記化合物半導体層（1）には、前記電極層（17）に接続して、前記能動領域（2）と反対導電型の不純物領域が設けられてなることを特徴とする請求項7記載の半導体装置。

【請求項9】 半絶縁性の化合物半導体層（1）中に選択的に導電領域（4）を形成する工程と、チャンネルとなる所定の導電型の能動領域（4）を備える基本素子（3）を前記選択的に形成された導電領域（4）上に形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項10】 前記導電領域（4）は、前記化合物半導体層上からの不純物のイオン注入によって形成されることを特徴とする請求項9記載の半導体装置の製造方法。

【請求項11】 前記導電領域（4）は同じ導電型の不純物を注入エネルギーを変化しつつ複数回にわたって前

記導電領域（4）上に選択的にイオン注入し、前記導電領域（4）の電位を前記化合物半導体層（1）の表面に引き出す引出し領域（4a）を形成する工程を含むことを特徴とする請求項10記載の半導体装置の製造方法。

## 【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体装置及びその製造方法に係り、特に化合物半導体材料を用いた半導体装置及びその製造方法に関する。

10 【0002】GaAs（ガリウム・ヒ素）等よりなる化合物半導体はシリコン等の半導体に較べてその電子移動度は5倍程度大きい。このため、化合物半導体を用いた半導体装置は高速信号処理に向いている。

【0003】このような半導体装置では論理回路システムの実動作時の演算速度を向上させるために、高速読み出し／書き込み可能な記憶回路の実現が要求されている。

20 【0004】一方、化合物半導体材料を用いた半導体装置では半導体—金属接合をゲート電極構造とした、いわゆるショットキゲート型電界効果トランジスタ（MESFET）を基本素子とする記憶回路が形成される。MESFETを用いた記憶回路としては図15に示すようにMESFET19a～19dによりフリップフロップを構成してなり、論理ハイ又はローの状態を保持する構成とされていた。ところが、MESFETではゲートにショットキ接合を用いており、ハイレベル入力時に能動層からゲート電極内に電流が流れ込むため、ハイレベル電圧が0.6〔V〕程度と低く、論理振幅が例えばシリコンCMOS回路を用いた記憶装置（ハイレベル電圧：5

30 〔V〕）に比し著しく小さいため、ソフトエラー耐量が小さい。

【0005】したがって、この種の半導体装置では記憶回路などで用いた場合でもソフトエラー耐量の大きい半導体装置が要求されている。

【0006】

【従来の技術】従来の化合物半導体材料を用いた記憶回路などの半導体装置について図16、図17と共に説明する。

40 【0007】ソフトエラーは自然界又は半導体装置のパッケージ中の放射性金属から発生された放射線が半導体装置内に入射し、電子—正孔対が生成されてこれが記憶回路を構成するメモリセルに流入して論理状態を反転してしまうことにより生じていた。

【0008】この論理状態の反転を防止するためにはメモリセル部への収集電荷量を減らす方法及びメモリセル部の臨界電荷量を増す方法のいずれか又は両方の対策を施すことが有効となる。従来は、メモリセル部への収集電荷量を減らし、臨界電荷量を増すために図16に示すようにMESFET19c、19dにコンデンサC<sub>1</sub>、C<sub>2</sub>を付加し、放射線入射によって誘起された電荷を蓄

3

積することによりメモリセル論理反転を防止していた。

【0009】またコンデンサ $C_1$ 、 $C_2$ は図17に示すようにメモリセル部を構成するMESFET19c、19dに並設して、MESFET19c、19dとは別体で設けられていた。

【0010】

【発明が解決しようとする課題】しかるに、従来のこの種の半導体装置では、放射線による論理反転を防ぐためには、図16に示すようにメモリセル部にコンデンサ $C_1$ 、 $C_2$ を付加し、放射線入射によって誘起された電荷を蓄積することにより論理反転を防いでおり、従来はこの論理反転を防ぐためのコンデンサ $C_1$ 、 $C_2$ を図17に示すように形成していた。このような構成の半導体装置で十分な放射線耐量を得るためには形成するコンデンサ $C_1$ 、 $C_2$ の静電容量を大きくする必要があり、そのためにコンデンサ $C_1$ 、 $C_2$ の電極20a、20bの面積を大きく取る必要があるため、メモリセル全体の所要面積が大きくなってしまい、チップ当りの記憶容量が低下してしまう等の問題点があった。

【0011】本発明は上記の点に鑑みてなされたもので、集積度を低下させることなく放射線耐量を向上させることができる半導体装置及びその製造方法を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明は上記のような課題を解決するため1つの手段として半絶縁性の化合物半導体層中に選択的に設けられた導電領域と、前記半導体層中の前記選択的に設けられた導電領域上に位置し、チャネルとなる所定の導電型の能動領域を備える基本素子とを有する構成としてなる。

【0013】

【作用】本発明では、基本素子の下部に半絶縁性化合物半導体層を介して導電領域が形成されている。

【0014】従って導電領域と基本素子との間で構成される容量成分によって、臨界電荷量が増加するため、放射線の入射によって発生する電荷の悪影響が防止できる。

【0015】また、導電領域は、その下部の半絶縁性化合物半導体層中で発生した電荷を捕獲するため、この電荷が基本素子に流入することが防止できる。

【0016】更に、導電領域に電荷を収集する方向に電位を与えると、化合物半導体層中で発生した電荷の殆んどを収集することが可能になる。

【0017】

【実施例】図1は本発明の第1実施例の断面図を示す。同図中、1は半導体結晶である半絶縁性のガリウム・ヒ素基板で、このガリウム・ヒ素基板1にイオン注入等により不純物を注入し、チャネルとなるN型の能動領域2が形成され、その上部に金属よりなるゲート電極7、ソース電極8、ドレイン電極9を形成することにより基本

4

素子であるMESFET3が形成される。なお、N型の能動領域2はその端部にN型の高濃度層のソース領域2a、ドレイン領域2b及びチャネル層2cが形成される。このとき、ドレイン領域2bはガリウム・ヒ素基板1の表面より例えば0.13 $\mu\text{m}$ の厚さに形成される。

【0018】4は導電領域となる高濃度不純物ドーブ領域で、ソース領域2a、ドレイン領域2bとは反対導電型のP型半導体で形成されていて、ガリウム・ヒ素基板1の表面より例えば0.25 $\mu\text{m}$ はなれて形成されている。

【0019】MESFET13とドーブ領域4とで生じる容量CはFETのドレイン電極9の面積を $4 \times 20 \mu\text{m}^2$ とすると $L \sim 65 \mu\text{F}$ となる。本実施例の構成では、この容量によって臨界電荷量を増大させている。また、容量の形成による面積増加は、導電領域(ドーブ領域4)が基本素子の下部に位置していることから皆無である。

【0020】次に図1に示すMESFET13の製造方法について図2乃至図6と共に説明する。

【0021】まず、絶縁性ガリウム・ヒ素基板1の表面全体をフォトリソスト5により覆った後、図2(A)に示すように絶縁性ガリウム・ヒ素基板1上のドーブ領域4を形成する部分を開孔してガリウム・ヒ素基板1にP型の導電性を与える不純物、例えばマグネシウム(Mg)をイオン注入する。このときのイオン注入エネルギーは400KeVでドーブ量は $5 \times 10^{13} \text{cm}^{-2}$ で注入される。これにより、ドーブ領域4が形成され、Pピーク濃度は $1.5 \times 10^{18} \text{cm}^{-3}$ となる。次に適当な表面保護膜を被着し、熱処理を施して、ガリウム・ヒ素基板1のイオン注入ダメージを回復させる。

【0022】次に図2(B)に示すようにMESFETの能動領域2を形成する部分をフォトリソスト6によりパターンニングし、ガリウム・ヒ素基板1にn型の導電性を与える不純物、例えばシリコン(Si)をイオン注入する。このときのイオン注入エネルギーは50KeVで、ドーブ量は $1 \times 10^{12} \text{cm}^{-2}$ で注入され、このとき形成されるn型層のピーク濃度は $1 \times 10^{17} \text{cm}^{-3}$ となる。これにより、能動領域2が形成される。この後、再び熱処理を施し、イオン注入ダメージを回復させる。

【0023】次に図3(A)に示すようにガリウム・ヒ素に対してショットキ型接合を形成する性質を有する高耐熱金属、例えばタングステン(W)又はそのシリコン化合物( $\text{WSi}_x$ )を基板全面に被着後パターンニングし、ゲート電極7を形成する。次に図3(B)に示すようにMESFET領域をフォトリソスト6でパターンニングし、n型不純物をイオン注入し、n型のソース領域2a及びドレイン領域2bを形成する。イオン注入後、熱処理を施し、イオン注入ダメージを回復する。

【0024】次に図3(C)に示すようにガリウム・ヒ素に対してオーミック型接合を形成する性質を有する金

5

属、例えば金 (Au) をリフトオフ法等によりパターンニングし、MESFETのソース電極8、ドレイン電極9を形成する。

【0025】なお、イオン注入ダメージを回復させる熱処理はイオン注入毎に行なう必要はなく、適当な組合せで同時に行ない、製造工程を簡略化することもできる。

【0026】このように、MESFET3の下部にMESFET3の能動領域2を構成する半導体の導電性とは反対の導電性を有するドープ領域4を形成することによりMESFET3とドープ領域4との間に静電容量が付加される。このため、電界電荷量が増加し、放射線の入射により誘起された電荷による影響が低減される。また、この電荷の一部はドープ領域4により捕獲され、MESFET3の能動領域2に到達することがなくなる。

【0027】したがって、記憶回路などで論理反転が生じることはなく、ソフトエラーが発生しにくくなり、ソフトエラー耐量を向上させることができる。

【0028】ドープ領域4はMESFET3の下部に形成されるため、面積の増加なしに静電容量を付加することができる。したがって、記憶回路の高集積化を妨げることはない。

【0029】次に本発明の第2実施例について図4と共に説明する。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。

【0030】本実施例はドープ領域4に一定の電位を与えるためにドープ領域4の端部に引き出し領域4aを設け、ガリウム・ヒ素基板1の表面から引き出している。このとき、ドープ領域4にはMESFET3の電位より低い電位が印加される。

【0031】引き出し領域4aの形成方法について図5、図6と共に説明する。まず、図2(A)に示す工程と同様に、MESFET3の領域よりやや広めにドープ領域4を形成する(図5(A))。次に図2(B)に示す工程と同様な工程で、能動領域2を形成する(図5(B))。

【0032】次に、図5(C)に示すようにガリウム・ヒ素基板1にP型の導電性を付与する不純物、例えばマグネシウム(Mg)のイオン注入エネルギーを段階的に切替えてイオン注入する。これにより、縦方向にP型の導電層が順に積み重なって形成され、引き出し領域4aが形成される。このときのイオン注入はまず初めにドープ層4形成時と同じエネルギー400KeV、ドーズ量 $5 \times 10^{13} \text{cm}^{-2}$ で行なわれ、次に200KeV、ドーズ量 $3 \times 10^{13} \text{cm}^{-2}$ 、最後にエネルギー100KeV、ドーズ量 $1 \times 10^{13} \text{cm}^{-2}$ で行なわれる。これにより、ドープ領域4をガリウム・ヒ素基板1表面に引き出す引き出し領域4aが形成される。

【0033】次に図3(A)に示す工程と同様の工程によりタングステン(W)等の高耐熱金属によりゲート電極7を形成する(図6(A))。さらに、図3(B)と

6

同様な工程で、ソース領域8及びドレイン領域9を形成する(図6(B))。次に図3(C)に示す工程と同様な工程で、ソース電極8及びドレイン電極9を形成すると共にドープ領域4に電位を与えるための引き出し領域4aに電極11を形成する(図6(C))。この工程によって形成された引き出し領域4aは、ドープ領域4を素子表面にまで引き出すことができるため、導電領域に一定の電位を与えることが可能となる。

【0034】次に第3実施例について図7と共に説明する。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。本実施例は基板をP型のガリウム・ヒ素基板12により構成し、ガリウム・ヒ素基板12の静電容量を付与したい素子の下部とそうでない素子の下部とに段差12aを付け、その上に半絶縁性のガリウム・ヒ素結晶13を平坦になるように形成する。このときガリウム・ヒ素結晶13はMESFET3の形成部分で $0.25 \mu\text{m}$ 、他の部分で $1 \mu\text{m}$ となるように形成する。さらにその半絶縁性のガリウム・ヒ素結晶13上にMESFET3、3'を形成した構成で、MESFET3の下部にP型のガリウム・ヒ素基板12が配置されるため、第1実施例と同様の効果を得ることができる。

【0035】次にその製造方法について図8及び図9と共に説明する。まず、図8(A)に示すように大きな放射線耐量が必要なメモリセル用MESFET3とそれ以外の部分(MESFET3')とを分離するため、P型ガリウム・ヒ素基板12の表面をフォトレジスト14で覆い、メモリセル用MESFET3部分をパターンニングし、それ以外の部分をエッチング法等によりエッチングして、段差12aを付ける。

【0036】次に図8(B)に示すように、MOCVD(有機金属気相成長)法、又はMBE(分子線エピタキシャル成長)法等の方法によりP型ガリウム・ヒ素基板12の段差部分に絶縁性ガリウム・ヒ素成長層13を形成した後、表面全体が平坦になるように絶縁性ガリウム・ヒ素層を形成する。

【0037】次に図2(B)及び図3と同様な工程でMESFET3を形成する(図8(C)及び図9(A)、(B)、(C))。

【0038】次に第4実施例について図10と共に説明する。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。

【0039】本実施例は図7に示す第3実施例のP型ガリウム・ヒ素基板12の上面に引き出し領域12bを形成し、引き出し部12a上部に電極15を形成した構成で、この電極とドレイン電極9との間に電源10を接続して、P型ガリウム・ヒ素基板12に電位を付与してなる。このような構成とすることにより、第2実施例と同様な効果を得ることができる。

【0040】次にその製造方法について、図11と共に説明する。まず、図11(A)に示すようにP型ガリ

7

ウム・ヒ素基板12をバターニングし、P型ガリウム・ヒ素基板12を引き出すための引き出し領域12b部分を残して表面をエッチングし、引き出し領域12bを形成する。次に図8(A)で示した工程と同様な工程で段差12aを形成する(図11(B))。

【0041】次に、図8(B)で示した工程と同様な工程で絶縁性ガリウム・ヒ素成長層13を形成する(図11(C))。次に図2(B)及び図3で説明した工程によりMESFET3を形成すると共に、引き出し領域12bに電極15を形成する(図11(D))。以上のような工程により図10に示すようなMESFET3の構造が得られる。

【0042】次に第5実施例について図12と共に説明する。同図中、図1と同一構成部分には同一符号を付し、その説明は省略する。本実施例は半絶縁性ガリウム・ヒ素基板1のうち基本素子となるMESFET3の裏面に凹部16を形成し、MESFET3下部を他の部分に比し十分に薄く形成し、かつ、裏面に前記導電領域として、電極金属からなる電極層17を形成しさらに、電極層17に電源10により一定の電位を付与してなる。

【0043】このような構成とすることによりガリウム・ヒ素基板1中で生成された電荷はほとんど電極層17に流入し、したがって、記憶回路部への収集電荷量を抑えることができる。

【0044】次にその製造方法について図13と共に説明する。まず、図2(C)及び図3で説明した工程によりMESFET3を形成する(図13(A))。次に図13(B)に示すようにガリウム・ヒ素基板1の裏面全体をフォトリソスト18で覆った後、MESFET3の裏面を窓開けし、エッチングすることによりMESFET3下部に凹部16を形成する。

【0045】次に図13(C)に示すようにフォトリソストを除去した後に、ガリウム・ヒ素基板1の裏面全体にガリウム・ヒ素とオーミック接合を形成する性質のある金属よりなる電極層17を被着する。

【0046】なお、電極層17はガリウム・ヒ素基板1裏面全面に被着させる必要はなく、MESFET3下部にだけ被着させる構成としてもよい。

【0047】次に第6実施例について図14と共に説明する。同図中、図12と同一構成部分には同一符号を付し、その説明は省略する。本実施例は図12でガリウム・ヒ素基板1の薄くなった部分にP型の高濃度不純物ドーパ領域18を形成した構成で第5実施例と略同様な効果が得られる。なお、その製造方法は第5実施例と略同じで、裏面をエッチングにより薄くした後にその薄くなった部分にイオン注入等によりP型ドーパ領域18を形成してなる。

【0048】また、ドーパ領域18は第1実施例と同様に形成し、後にガリウム・ヒ素基板1裏面を薄くし、電極を形成する工程としてもよい。

8

【0049】なお、第1乃至第6実施例ではMESFETについて説明したが、これに限ることはなく、HEMT(High Electron Mobility Transistor)等のヘテロ接合電界効果トランジスタなどにも適用できる。

【0050】なお、第1乃至第6実施例では1つのMESFET3の下部にのみドーパ領域4又は凹部16を形成しているが記憶装置又は記憶回路付論理回路装置などにおいて、記憶ブロック又は記憶回路基本単位ブロックを構成する複数のMESFET又はメモリセルを1つのまとまりとしてドーパ領域4又は凹部16を形成する構成としてもよい。

【0051】

【発明の効果】上述の如く、本発明によれば、基本素子下部に能動領域の導電性とは反対の導電性を有する導電領域を形成することにより、半導体基板で生成された電荷による悪影響が防止でき、またこの電荷が能動領域に流入することを防止できるため、不要な電荷による基本素子の誤動作を防止でき、また、導電領域は基本素子の下部に形成されるため、その集積度を低下させることがない等の特長を有する。

【図面の簡単な説明】

【図1】本発明の第1実施例の断面図である。

【図2】本発明の第1実施例の製造工程を説明するための図である。

【図3】本発明の第1実施例の製造工程を説明するための図である。

【図4】本発明の第2実施例の断面図である。

【図5】本発明の第2実施例の製造工程を説明するための図である。

【図6】本発明の第2実施例の製造工程を説明するための図である。

【図7】本発明の第3実施例の断面図である。

【図8】本発明の第3実施例の製造工程を説明するための図である。

【図9】本発明の第3実施例の製造工程を説明するための図である。

【図10】本発明の第4実施例の断面図である。

【図11】本発明の第4実施例の製造工程を説明するための図である。

【図12】本発明の第5実施例の断面図である。

【図13】本発明の第5実施例の製造工程を説明するための図である。

【図14】本発明の第6実施例の断面図である。

【図15】従来のメモリセルの一例の回路図である。

【図16】従来のメモリセルの他の一例の回路図である。

【図17】従来の一例の断面図である。

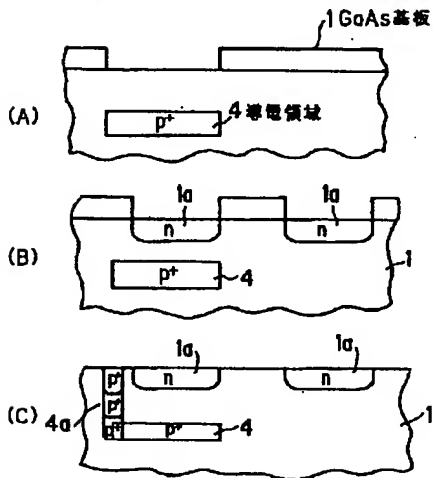
【符号の説明】

1 GaAs基板

2 能動領域

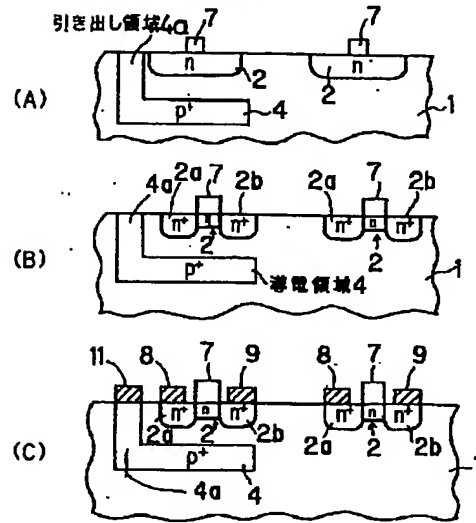
【図5】

本発明の第2実施例の製造工程を説明するための図



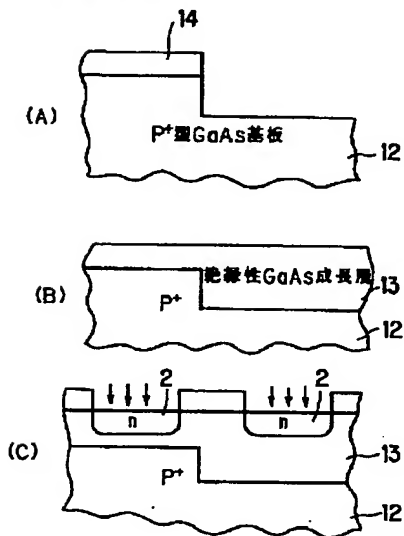
【図6】

本発明の第2実施例の製造工程を説明するための図



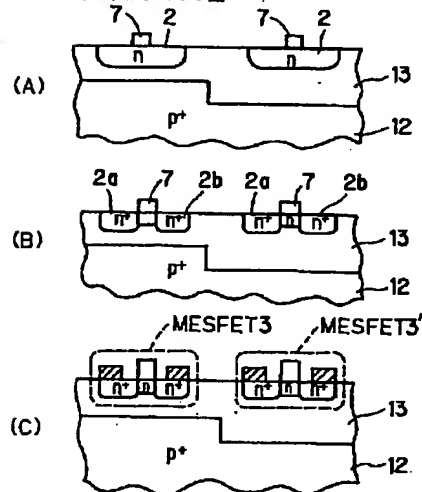
【図8】

本発明の第3実施例の製造工程を説明するための図



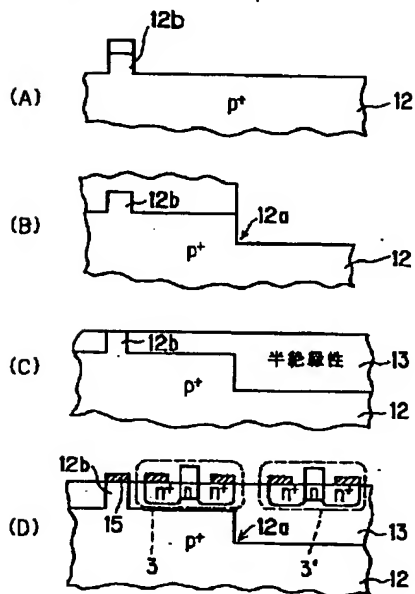
【図9】

本発明の第3実施例の製造工程を説明するための図



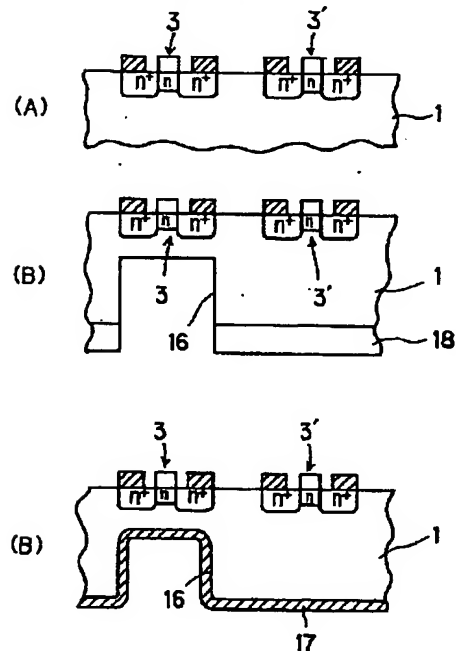
【図11】

本発明の第4の実施例の製造工程を説明するための図



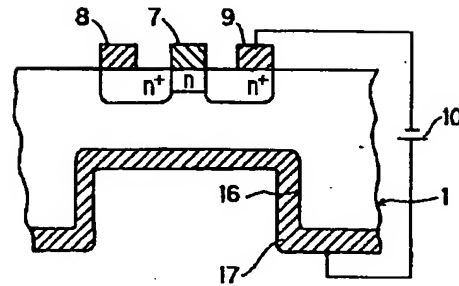
【図13】

本発明の第5の実施例の製造工程を説明するための図



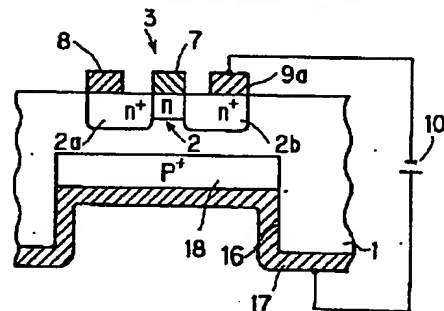
【図12】

本発明の第5実施例の断面図



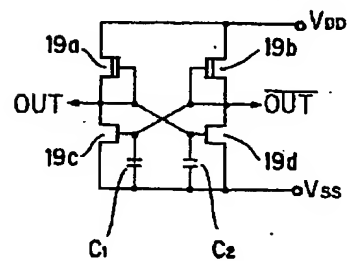
【図14】

本発明の第6実施例の断面図



【図16】

従来のメモリセルの他の一例の回路図





【図17】

